

国家自然科学基金委员会文件

国科金发计〔2025〕184号

关于发布后摩尔时代新器件基础研究重大研究计划 2025年度项目指南的通告

国家自然科学基金委员会现发布后摩尔时代新器件基础研究重大研究计划2025年度项目指南，请申请人及依托单位按项目指南所述要求和注意事项申请。

国家自然科学基金委员会

2025年5月13日

(此件公开发布)

后摩尔时代新器件基础研究重大研究计划

2025 年度项目指南

本重大研究计划面向芯片自主发展的国家重大战略需求，以芯片的基础问题为核心，旨在发展后摩尔时代新器件和计算架构，突破芯片算力瓶颈，促进我国芯片研究水平的提升，支撑我国在芯片领域的科技创新。

一、科学目标

本重大研究计划面向未来芯片算力问题，聚焦芯片领域发展前沿，拟通过信息、数学、物理、材料、工程、生命等多学科的交叉融合，在超低能耗信息处理新机理、载流子近似弹道输运新机理、具有高迁移率与高态密度的新材料、高密度集成新方法以及非冯计算新架构等方面取得突破，研制出 1fJ 以下开关能耗的超低功耗器件和超越硅基 CMOS 载流子输运速度极限的高性能器件，实现算力提升 2 个数量级以上的非冯架构芯片，发展变革型基础器件、集成方法和计算架构，培养一支有国际影响力的研究队伍，提升我国在芯片领域的自主创新能力和国际地位。

二、核心科学问题

针对后摩尔时代芯片技术的算力瓶颈，围绕以下三个核心科学问题展开研究：

(一) CMOS 器件能耗边界及突破机理。

需要重点解决以下关键问题：探寻 CMOS 器件进行单次信息处理的能耗边界，研究突破该边界的新机理，实现超低能耗下数据的计算、存储和传输。

（二）突破硅基速度极限的器件机制。

需要重点解决以下关键问题：在探索同时具备载流子长自由程和高态密度的新材料体系基础上，研究近似弹道运输的器件机理，实现突破硅基载流子速度极限的高性能器件。

（三）超越经典冯·诺依曼架构能效的机制。

需要重点解决以下关键问题：探寻计算与存储融合的机制与方法，并结合新型信息编码范式，实现新型计算架构，突破冯·诺依曼架构的能效瓶颈。

三、2025 年度重点资助研究方向

根据“后摩尔时代新器件基础研究”重大研究计划实施方案，本年度拟遴选具有重大应用价值和良好研究基础的研究方向进行集成资助，进入总体科学目标的集中攻关阶段。本年度拟资助集成项目 3 项，具体方向如下。

1. 高能效铁电晶体管存算一体芯片。

面向泛在人工智能应用，研究可重构 FeFET 电路架构设计方法，建立“器件-阵列-电路-芯片”跨层级优化方法，提出支持多粒度可重构的 FeFET 存算单元，实现计算范式动态切换；研究面向存算一体芯片的 FeFET 材料与器件技术，提升综合存储性能和可靠性；探索芯片算力密度提升新途径，实

现 FeFET 存算芯片成套集成工艺；开发电路设计与算法映射工具链，完成高效编译与算子自动化部署。基于 8 英寸或以上 CMOS 工艺制备硅沟道 FeFET 存算芯片，器件存储窗口 $\geq 1.5\text{V}$ 、耐久特性 $\geq 1\text{E}8$ 次、保持特性 ≥ 10 年 @ 85°C 、集成规模 $\geq 1\text{ Mb}$ ；计算单元算力密度 $\geq 5\text{TOPS}/\text{mm}^2$ ，计算能效 $\geq 100\text{ TOPS}/\text{W}$ ；实现 FeFET 芯片在工业人工智能方面的应用示范。

2. 面向三维集成芯片的系统-工艺协同优化 (STCO) 设计方法与 EDA 工具研究。

面向高算力、高带宽需求，发展三维垂直堆叠芯片的系统-工艺协同优化 (STCO) 设计方法。探索系统仿真与寻优技术，组件设计与优化技术，芯片可靠性评估与优化技术，形成完整的 STCO 工具链。系统仿真支持热、应力等物理约束，寻优空间规模 $\geq 1\text{E}15$ ，相比 ANSYS 等主流 EDA 工具，仿真速度提升 ≥ 10 倍，仿真误差 $\leq 3\%$ 。组件优化需考虑信号、电源、应力、良率等至少 4 种影响因素。可靠性优化需考虑力、热、电等多物理场的影响。形成全流程 EDA 工具，实现从系统到工艺的全面优化。基于提出的 STCO 流程设计出一款包含不少于 4 层 HBM 颗粒的三维垂直堆叠芯片，与基线设计相比，设计效率提升 100% 以上，流片验证峰值通信带宽不小于 $512\text{GB}/\text{s}$ 。

3. 面向 Sub-3 nm 技术节点的单面集成 Si/SiGe 异质沟道 CFET 技术。

面向 3 纳米以下 CMOS 大规模制造技术节点的需求，开展基于 12 英寸 CMOS 工艺的单面集成 Si/SiGe 异质沟道互补场效应晶体管（CFET）器件研究，发展面向 3 纳米以下节点的 CFET 器件-工艺-电路协同优化策略，提供 CFET 的电容电阻抽取方法、CFET 紧凑模型，完成关键逻辑电路功能验证及性能-功耗-面积-成本（PPAC）评估。基于 12 英寸 CMOS 工艺实现 n 型/p 型环栅晶体管（GAAFET）单面垂直堆叠的 CFET 器件集成，其中 n/p GAAFET 沟道均不少于 2 层，相比于相同工艺节点设计规则下 FinFET 获得 30% 的面积微缩效果。研究 CFET 器件中的偶极子调控方案，实现至少低、中、高三种阈值电压（SVT, LVT, HVT），且单个 CFET 器件中的 n/p GAAFET 阈值电压相差不超过 10%。CFET 中的单器件亚阈值摆幅 $SS < 80 \text{ mV/decade}$ ，0.8V 电源电压下开态电流密度 $\geq 0.4 \text{ mA}/\mu\text{m}$ 。

四、项目遴选的基本原则

（一）紧密围绕核心科学问题，鼓励有价值的前沿探索和创新研究；

（二）优先资助能解决芯片中的实际难题、具有应用前景的研究项目；

（三）鼓励与数学、物理、工程、材料、生命科学等多学科交叉研究；

（四）重点资助具有良好研究基础和前期积累、对集成目标有直接贡献的研究项目。

五、2025 年度资助计划

2025 年度拟资助集成项目 3 项左右，直接费用平均资助强度约为 1500 万元/项，资助期限为 2 年，集成项目申请书中研究期限应填写“2026 年 1 月 1 日-2027 年 12 月 31 日”。

六、申请要求及注意事项

（一）申请条件。

本重大研究计划项目申请人应当具备以下条件：

1. 具有承担基础研究课题的经历；
2. 具有高级专业技术职务（职称）。

在站博士后研究人员、正在攻读研究生学位以及无工作单位或者所在单位不是依托单位的人员不得作为申请人进行申请。

（二）限项申请规定。

执行《2025 年度国家自然科学基金项目指南》“申请规定”中限项申请规定的相关要求。

（三）申请注意事项。

申请人和依托单位应当认真阅读并执行本项目指南、《2025 年度国家自然科学基金项目指南》和《关于 2025 年度国家自然科学基金项目申请与结题等有关事项的通告》中相关要求。

1. 本重大研究计划项目实行无纸化申请。申请书提交日期为2025年6月16日-6月20日16时。

(1) 申请人应当按照科学基金网络信息系统（以下简称信息系统）中重大研究计划项目的填报说明与撰写提纲要求在线填写和提交电子申请书及附件材料。

(2) 本重大研究计划旨在紧密围绕核心科学问题，将对多学科相关研究进行战略性的方向引导和优势整合，成为一个项目集群。申请人应根据本重大研究计划拟解决的具体科学问题和项目指南公布的拟资助研究方向，自行拟定项目名称、科学目标、研究内容、技术路线和相应的研究经费等。

(3) 申请书中的资助类别选择“重大研究计划”，亚类说明选择“集成项目”，附注说明选择“后摩尔时代新器件基础研究”，根据申请的具体研究内容选择相应的申请代码。**集成项目的合作研究单位不得超过4个。集成项目主要参与者必须是项目的实际贡献者，合计人数不超过9人。**

(4) 申请人在申请书“立项依据与研究内容”部分，应当首先明确说明申请符合本项目指南中的重点资助研究方向，以及对解决本重大研究计划核心科学问题、实现本重大研究计划科学目标的贡献。

如果申请人已经承担与本重大研究计划相关的其他科技计划项目，应当在申请书正文的“研究基础与工作条件”部分论述申请项目与其他相关项目的区别与联系。

2. 依托单位应当按照要求完成依托单位承诺、组织申请以及审核申请材料等工作。在 2025 年 6 月 20 日 16 时前通过信息系统逐项确认提交本单位电子申请书及附件材料。依托单位应慎重提交项目申请，一旦提交，原则上不予退回。

3. 其他注意事项。

(1) 为实现重大研究计划总体科学目标 and 多学科集成，获得资助的项目负责人应当承诺遵守相关数据和资料管理与共享的规定，项目执行过程中应关注与本重大研究计划其他项目之间的相互支撑关系。

(2) 为加强项目的学术交流，促进项目群的形成和多学科交叉与集成，本重大研究计划将每年举办一次资助项目的年度学术交流会，并将不定期地组织相关领域的学术研讨会。获资助项目负责人有义务参加本重大研究计划指导专家组和管理工作组所组织的上述学术交流活动。

4. 本重大研究计划咨询方式：

国家自然科学基金委员会信息科学部四处

联系电话：010-62327351

国家自然科学基金委员会办公室

2025 年 5 月 13 日印发
